

**METHOD FOR MANUFACTURING MOS-GATED DEVICE**

**Patent number:** JP8250512  
**Publication date:** 1996-09-27  
**Inventor:** AJIT JANARDHANAN S; KINZER DANIEL M  
**Applicant:** INTERNATL RECTIFIER CORP  
**Classification:**  
- **International:** H01L21/336  
- **European:**  
**Application number:** JP19960029227 19960216  
**Priority number(s):**

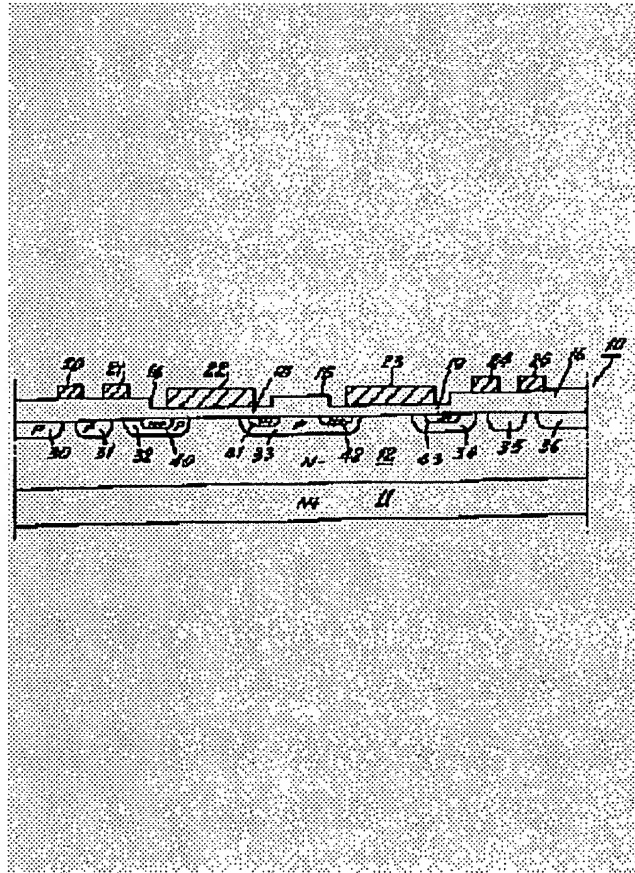
**Also published as:**

 US5474946 (A1)  
 GB2298086 (A)  
 FR2730859 (A1)  
 DE19547756 (A1)

**Abstract of JP8250512**

**PROBLEM TO BE SOLVED:** To reduce the number of masks and to reduce the number of risky alignments between masks by forming base and source regions and then performing a mask process for forming a contact window in a low-temperature oxide film for covering a substrate surface.

**SOLUTION:** Thick oxide layers 14, 15, and 16 and thin oxide film strips 18 and 19 are formed on a crystal growing layer 12. Then, a polycrystalline silicon layer 23 is grown on the surface of a device, a photoresist is arranged on it, a patterning is made by a second mask that is aligned with risks, to the first mask for forming the thick regions 14, 15, and 16 and the thin regions 18 and 19, and the gate oxide film of a MOS gate device is formed. Then, base regions 32, 33, and 34 separated by gaps are formed by infecting first atom species. Further, second species pass the edge part of the polycrystalline silicon 23 and only a thin oxide film, and source regions 40, 41, 42, and 43 are formed in a base with risky alignments.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250512

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl.<sup>6</sup>  
H01L 21/336

識別記号

庁内整理番号  
9055-4MFI  
H01L 29/78

技術表示箇所

658D

審査請求 未請求 請求項の数8 OL (全6頁)

(21) 出願番号 特願平8-29227

(22) 出願日 平成8年(1996)2月16日

(31) 優先権主張番号 390099

(32) 優先日 1995年2月17日

(33) 優先権主張国 米国 (US)

(71) 出願人 591074389

インターナショナル・レクチファイヤー・  
コーポレーションINTERNATIONAL RECTI  
FIER CORPORATIONアメリカ合衆国90245カリフォルニア州  
エル・セグンド、カンザス・ストリート  
233番

(72) 発明者 ジャナルドハナン・エス・アジット

アメリカ合衆国90278カリフォルニア州レ  
ドンド・ビーチ、クラーク・レイン・ナン  
パー2、1916番

(74) 代理人 弁理士 青山 葆 (外2名)

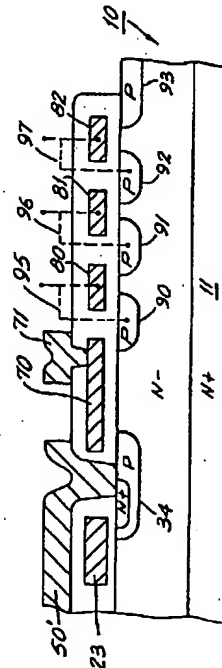
最終頁に続く

(54) 【発明の名称】 MOSゲートデバイスの製造方法

(57) 【要約】

【課題】 本発明は、工程数、潜在する欠陥、およびコストを削減するために望まれる、マスクの数を減少し、きわどいマスク間のアライメントの数を減少するようなMOSゲートデバイスの製造方法を提供する。

【解決手段】 シリコン酸化層が、隣接したシリコン表面上の厚い酸化層および薄い酸化層を有するようにパターンニングされ、多結晶シリコンが、上記薄い酸化層に対するきわどいアライメント工程により、酸化層上でパターンニングされ、ホウ素が多結晶シリコンをマスクとして、露出された厚い酸化領域および薄い酸化領域双方を通して注入され、シリコン中にP型ベース領域およびP型ガードリング領域を形成し、その後、砒素原子が多結晶シリコンにより露出された薄い酸化膜のみを通るようなエネルギーで注入され、前に形成されたベース領域中にセルフアラインのソース領域を形成し、多結晶シリコンマスクにきわどくアライメントされたマスクによりコンタクト開口部を形成し、MOSゲートデバイスを製造する。



## 【特許請求の範囲】

【請求項1】 MOSゲート半導体デバイスの製造方法において、かかる製造方法が、

(a) シリコンウエハの主表面上に絶縁層を形成する工程と、

(b) 上記絶縁層を第1のマスク工程でパターンニングして第1の区域を形成し、隣接する少なくとも厚くなった第2の区域より第1の区域が厚くなる工程と、

(c) 上記絶縁層の上に多結晶シリコン層を付着させ、該多結晶シリコン層を第2のマスク工程でパターンニングすることにより第3の区域を覆い、マスクするとともに、上記第2の区域の第4の区域を露出させる工程と、

(d) 上記パターンニングされた多結晶シリコンにより露出された区域に、上記第1および第2の区域に侵入するのに十分なエネルギーで第1の原子種を注入し、該注入された第1の原子種を拡散させて上記シリコンウエハに少なくとも1つのベース領域を形成する工程と、

(e) 上記第2の区域に侵入するのには十分であるが上記第1の区域に侵入するのには不十分なエネルギーで第2の原子種を注入し、これにより上記少なくとも1つのベース領域中に少なくとも1つのソース領域を形成する工程と、

(f) その後、上記少なくとも1つのソース領域および少なくとも1つのベース領域に接続したソースコンタクトを形成する工程とを含むことを特徴とするMOSゲートデバイスの製造方法。

【請求項2】 上記絶縁層が二酸化シリコン( $\text{SiO}_2$ )であることを特徴とする請求項1に記載のMOSゲートデバイスの製造方法。

【請求項3】 複数の隣接した第1および第2の区域が上記絶縁層に形成され、それにより最終的に複数の隣接したベース領域およびソース領域を夫々形成することを特徴とする請求項1または2に記載のMOSゲートデバイスの製造方法。

【請求項4】 上記第1の区域が約2500Åの厚みを有し、上記第2の区域が約1000Åより薄い厚みを有することを特徴とする請求項2または3に記載のMOSゲートデバイスの製造方法。

【請求項5】 上記第1の原子種がホウ素であり、上記第2の原子種が砒素であることを特徴とする請求項1から4のいずれか1つに記載のMOSゲートデバイスの製造方法。

【請求項6】 上記ホウ素の注入エネルギーが約80KeVより大きく、上記砒素の注入エネルギーが80KeVより小さいことを特徴とする請求項5に記載のMOSゲートデバイスの製造方法。

【請求項7】 上記工程(e)の後に、上記ソースコンタクトを形成するより前に、少なくとも上記ベースおよびソース領域の部分を出させるマスクアライメント工程により低温酸化層を付着し、パターンニングする工程を

含むことを特徴とする請求項1から6のいずれか1つに記載のMOSゲートデバイスの製造方法。

【請求項8】 上記パターンニングされた多結晶シリコン層が上記第1の区域の部分の覆い、上記第1の区域を更に露出させ、上記ベース領域の形成中に、上記シリコン表面に少なくとも1つのガードリングの拡散を形成することを特徴とする請求項1から7のいずれか1つに記載のMOSゲートデバイスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MOSゲートデバイスに関するものであり、特に、より少ないマスク工程と2回のきわどいマスクアライメントのみを用いた、異なった注入レンジでのNおよびP型不純物のイオン注入により接合パターンを形成する新しいプロセスに関する。

## 【0002】

【従来の技術】MOSゲートデバイスとしては、パワーMOSFET、絶縁ゲートバイポーラトランジスタ(IGBT)およびMOSゲートサイリスタが良く知られている。これらのデバイスの製造のためのプロセスには、多くのマスクを、互いに、注意深く、きわどくアライメントしなければならない連続したマスク工程が必要とされる。

## 【0003】

【発明が解決しようとする課題】プロセス中の各マスク工程は、製造費用を増加させ、また新しい欠陥源を導入しうる。更に、多くのマスクのきわどい正確な互いのアライメントの必要性は、製造費用を加算させ、追加の製造欠陥の可能性を導入する。そこで、本発明は、工程数、潜在する欠陥、およびウエハ内の独立したチップのコストを削減するために望まれる、マスクの数を減少し、きわどいマスク間のアライメントの数を減少するようなMOSゲートデバイスの製造方法を提供することを目的とする。

## 【0004】

【課題を解決するための手段】本発明では、隣接した薄い領域および厚い領域を有する酸化層が、第1のマスク工程で形成される。きわどいアライメントでパターンニングされた多結晶層は第2の製造工程で形成され、予め決められた薄い酸化領域に多結晶層を正確に配置し、これはMOSゲートデバイスのゲート酸化膜になる。その後、間隔をあけたベース領域を形成するために、第1の原子種が、パターンニングされた多結晶シリコンにより露出された上記薄い酸化膜および厚い酸化膜双方を通して注入される。次に、第2の原子種が、多結晶シリコンの端部と、上記厚い酸化膜の端部の間で露出した上記薄い酸化膜のみ通り抜け、露出した上記厚い酸化膜は通り抜けないために十分なエネルギーで注入され、きわどいアライメントでベースの中にソース領域が形成される。上述

のように、ベース領域およびソース領域が形成された後、基板表面を覆う低温酸化膜中のコンタクト窓を形成するマスク工程が行なわれる。このマスクは上記多結晶シリコンマスクできわどくアライメントされる。このプロセスは、上述の2回のみ、きわどいアライメントのマスク工程を有することに注意すべきである。即ち、第1の工程は、薄い酸化領域および厚い酸化領域を形成する先のマスクに、多結晶シリコンマスクをアライメントする工程であり、第2の工程は、コンタクト窓のマスクを、先の多結晶シリコンマスクに合わせる工程である。また、複数の直列接続のPMOSデバイスを、上述のプロセス工程中に、上記デバイスの能動領域周囲に終端部として設けるために形成することも可能である。

【0005】半導体デバイスを製造する場合、半導体デバイスの機能に必要なそれぞれの異なった層を形成するためにマスクが用いられる。縦型NチャネルパワーMOSFETを例に用いると、縦型NチャネルパワーMOSFETは基本的に2つの拡散領域からなる。浅いN<sup>+</sup>ボディと、より深いP領域である。シリコン酸化膜中のP型ドーパントであるホウ素の範囲は、N型ドーパントである砒素の範囲の約5倍である。3000Åの酸化膜は、約80KeVより大きいホウ素の注入によっては通り抜けることができる一方、約120KeVより小さい砒素注入に対してマスクとなる。本発明では、この性質を、1層の酸化層および多結晶シリコンマスク（ソースマスクを除く）を用いた、P型ボディおよびN<sup>+</sup>領域双方を形成するために用いる。また、デバイス作製プロセスは、全コンタクト領域を形成するための更にきわどいマスク工程を必要とするが、本発明では、きわどい、または高い精度のアライメントが要求されるマスク工程は、このマスク工程および上記多結晶シリコンパターンを形成するためのマスク工程の2つだけである。本発明の他の性質および特徴は、図を参照しながら言及する発明の以下の記載から明らかになるであろう。

【0006】

【発明の実施の形態】図1は、比較的厚い基板部分11および比較的薄い結晶成長領域12を有する単結晶ウェハ10の一部を示す。11、12の領域はNチャネルデバイスの作製のため、N型で示されるが、伝導型はPチャネルデバイスを作製するためには逆にすることも可能である。本発明は、米国特許5,008,725に表されたようなセル状のトポロジー、または米国特許4,376,286に表されたような相互配置型トポロジーのような所望のデバイストポロジーに関しても用いることができる。更に、本発明はパワーMOSFET、IGBT、MOSゲートサイリスタ等のようなMOSゲートデバイスの所望の型の作製のために用いることができる。本実施の形態では、相互配置型トポロジーのNチャネルパワーMOSFETについて示す。

【0007】図1において、約3000Åの膜厚の厚い

酸化層が、最初に結晶成長層12の上に成長される。この酸化層は、その後フォトリソストにより覆われ、レジストは第1のマスクパターン（図示せず）によりパターンニングされ、厚い酸化層は、エッチングされ、薄い、間隔をあけた、ストリップ14、15および16を形成する。ストリップ14、15、16は幾つでも用いることができ、それらは予め形成された平行なバスの回りに延びても良い。これらの領域は、間隔をあけて閉じた多角形の形状を有してもよい。次に、薄い酸化膜ストリップ18、19が、露出したシリコン表面に、例えば500Åの膜厚で再成長される。それらの領域18および19は、厚い領域14-15および15-16の間にそれぞれ位置する。領域18および19の部分は、最終的にはデバイスのゲート酸化膜を形成する。厚い領域及び薄い領域は夫々3000Å、500Å以外の厚みを有することも可能であり、それらの厚みは、所望のゲート特性、PおよびN領域を形成するために注入されるイオン種、用いられる注入エネルギーに基づいて選択される。その後、図2に示すように、デバイスの表面上に多結晶シリコン層が成長され、その上にフォトリソストが配置され、厚い領域14、15、16および薄い領域18、19の位置を形成する第1のマスクにきわどく（高精度で）アライメントされた第2のマスクによりパターンニングされる。その後、多結晶シリコンがエッチングされ、間隔をあけてストリップ20、21、22、23、24および25が残される。ストリップ22および23は、作製されるMOSゲートデバイスのゲートであり、薄いゲート酸化領域18および19の上の中央に、隣接した厚い酸化領域の夫々の側面から約2μmの間隔をあけて、5μmの幅で、精密に配置される。多結晶シリコンストリップ20-21および24-25は、約3μmの間隔で配置される。ストリップ20、21、24および25および記載されない他の隣接したストリップは、後述するガードリングや拡散領域を形成する。その後、図3に示したように、多結晶シリコンストリップ20から25をマスクとして、薄い露出した酸化領域18、19および厚い露出した酸化領域14、15、16双方に侵入するのに十分なエネルギーでホウ素の注入が行なわれる。例えば、約80KeVまたはそれ以上のエネルギーでのホウ素の注入は、 $7 \times 10^{13} \text{ cm}^{-2}$ のドーズに用いることができる。ホウ素以外の原子種も代わりに用いることができる。注入に用いられるエネルギーは、一部では、厚い酸化膜の厚みにより決定される。この注入後、図3に示されたように、P型領域30から36を形成するために、30分間、1175℃でドライブされる。その後、図4に示すように、同じ多結晶シリコンストリップ20から25をマスクとして用いて、シリコン表面に、砒素が注入される。砒素（または選択された他の原子種）の注入のために選択されるエネルギーは、薄い露出したゲート酸化層18および19に侵入するのに十分

で、厚い露出した酸化層によっては侵入が阻止されるエネルギーである。80 KeVのエネルギーで、 $1 \times 10^{16}$ のドーズの照射は、下にあるシリコンに達し、ベース32、33および34中にN<sup>+</sup>ソースストリップ40、41、42および43を形成する。次に、図5に示すように、低温酸化(LTO)層50が、図4のウエハ上に、約7000Åの厚みで配置される。その後、LTOは、(多結晶マスクに対して)きわどい第2のマスク工程でパターニングされ、コンタクト窓60から64が形成される。窓60および64はリング21、24の表面を露出させ、窓61および63はP領域32、34の表面、ソース40、43の表面を夫々露出させ、窓62はベース33およびソース41、42の表面を露出させる。もし、図5のデバイスのトポロジーがリング状に選択された場合、ベース33は多角形状を有し、ソース41、45は1つの環状のソースから、ベース32、34はベース33に接続された1つのベースから、リング31、35はこれもベースに接続された1つの環状のリングから選択されても良い。その後、図6に示したように、ソース金属50'が、図5の表面上に配置され、デバイスの能動領域を終端するリング21、24、およびベース領域32、33、34、それらのソース40、41、42、43に夫々接続される。その後、第4のきわどくないマスク工程により、金属パターンが形成される。

【0008】図7に、図6のデバイスの能動領域を終端するために用いることができる複数の直列接続されたPMOSデバイスを用いた場合を示す。それらのリングは、デバイスの能動領域を形成するのに用いられる工程と同じ工程で作製される。このように、図7では、能動領域を取り囲む多結晶シリコンフィールドプレート70が多結晶シリコンのエッチング工程で形成される。ゲートバス71はプレート70に取り付けられ、かかるプレートは能動デバイス中の全ての多結晶シリコンゲート領域に連続している。多結晶リング80、81、82も、能動デバイスの多結晶シリコンのエッチング工程で形成することができる。P型リング90から93は図3の工程で拡散され、多結晶シリコンパターン70、80、81、82で形成される。点線95、96、97で図示した小さいコンタクトは、P領域90、91、92を、示された3つのPMOSデバイスのゲート80、81、82に接続し、各PMOSデバイスのソースとゲート電極を短絡する。これで、3つのPMOSデバイスのしきい値電圧が、上記デバイスを終端するために直列に接続される。終端のための電圧に必要とされる、いかなる所望のPMOSデバイスの数も用いることができる。図7の配置は、リングまたはストリップ90、91、92が、デバイスのしきい値電圧に対するリミット電圧に短絡された終端構造を示す。図8は、多結晶シリコンリング80、81、および82の各がその右にある隣のPリング

91、92、93に夫々短絡され、Pリングの間のパンチスルー電圧に対する電圧を制限し、PMOSデバイスをオフにバイアスする他の終端構造を示す。図8で、点線195、196、197により図示された小さなコンタクトは、P領域91、92、93を、多結晶シリコンフィールドリング80、81、82に接続する。上述の2つの終端構造の組み合わせも用いることができる。用いられる短絡コンタクトは、リングの周囲に間隔をおいて配置するのが好ましく、コンタクト位置は、コンタクト入口のマスク工程で形成される。このように、小さなエリアコンタクト95、96、97が、長四角形のチップの角に配置されても良い。上記エリアコンタクト95、96、97は、金属マスク工程において、ソース金属から分離される。本発明は、上記特別な実施の形態に基づいて述べてきたが、多くの他の態様、改良および他の用途が当業者によって明らかにされるであろう。それゆえに、本発明はここで開示した内容に限定されず、請求の範囲によってのみ限定されることが好ましい。

【0009】

【発明の効果】以上の説明で明らかなように、本発明を用いることにより、少ないマスク工程と2回だけのきわどいマスクアライメント工程でMOSゲートデバイスの作製を行うことができ、製造工程、潜在する欠陥の低減を通じてMOSゲートデバイスの製造コストの削減が可能となる。

【図面の簡単な説明】

【図1】 第1のマスク工程および薄い酸化膜および厚い酸化膜のパターン形成後のウエハの一部の断面図である。

【図2】 第1のマスクとのきわどいアライメントを伴った、多結晶層をパターニングするために用いられる第2のマスク工程の後の図1のウエハの一部を示す。

【図3】 露出した厚い酸化膜および薄い酸化膜を通してベース領域を注入し、デバイスのベース領域にドライブした後の図2のウエハの一部を示す。

【図4】 露出された薄い酸化膜のみを通してソース領域の注入を行い、ソース領域を形成し、アニールした後の、図3のウエハの一部を示す。

【図5】 酸化層間膜を堆積し、多結晶シリコンマスクにきわどい精度でアライメントされるマスクによりコンタクト窓の形成を行った後の図4のウエハの一部を示す。

【図6】 ソース金属を堆積し、きわどくないマスク工程によりソース金属のパターニングを行った後の図5のウエハの一部を示す。

【図7】 上述のデバイスの終端部として直列接続のPMOSデバイスを用いた場合を示す。

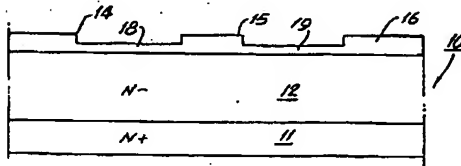
【図8】 上述のデバイスの終端部としての板状領域を伴ったフローティングフィールドリングを用いた場合を示す。

## 【符号の説明】

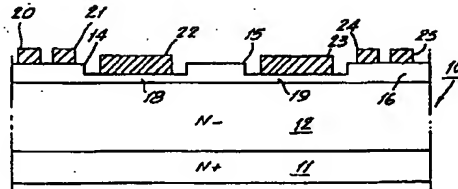
11は基板、23は多結晶シリコン、34はP領域、50'はソース金属、70は多結晶シリコンフィールドプ

\* レート、71はゲートバス、80、81、82は多結晶リング、90、91、92、93はPリングまたはストリップ、95、96、97はコンタクトを示す。

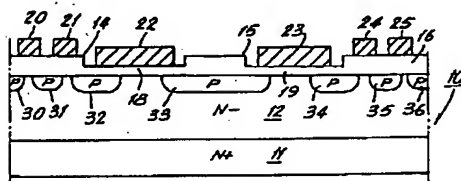
【図1】



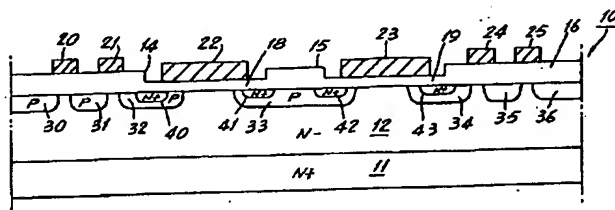
【図2】



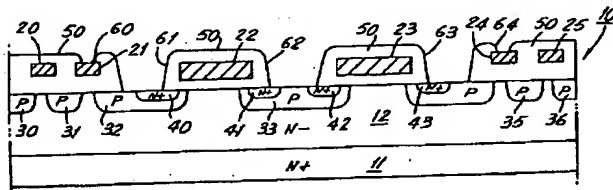
【図3】



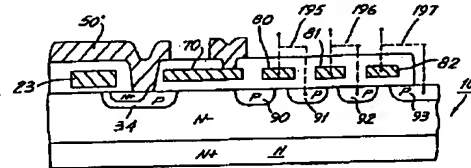
【図4】



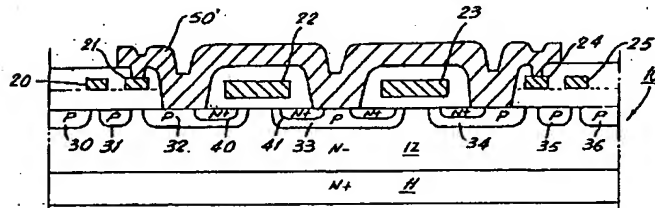
【図5】



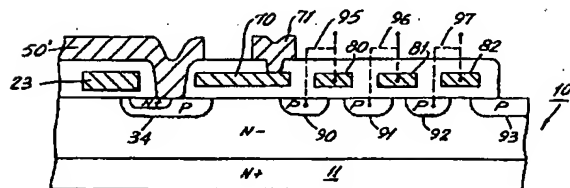
【図8】



【図6】



【図7】



フロントページの続き

(72)発明者 ダニエル・エム・キンザー  
アメリカ合衆国90245カリフォルニア州エ  
ル・セグンド、ロミタ・ストリート813番